

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-305625

(43)Date of publication of application : 28.10.1992

(51)Int.Cl. G02F 1/136
G02F 1/1333

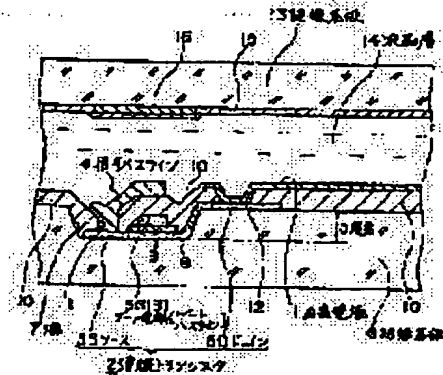
(21)Application number : 03-071098 (71)Applicant : SONY CORP
(22)Date of filing : 03.04.1991 (72)Inventor : SATO TAKUO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the generation of reverse tilt domains and to greatly improve the contrast of display images.

CONSTITUTION: A level difference D is formed on an insulating substrate 6 by providing grooves 7 on the insulating substrate 6. Picture element electrodes 1 are formed on the insulating substrate 6. On the other hand, gate bus lines 3, signal bus lines 4 and thin-film transistors 2 are formed within the grooves 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

5

他の値でもよい。この場合、リバースティルトの発生は信号バスラインの影響が大きいため、信号バスラインの厚みにほぼ等しくなるよう段差の大きさを設定してもよい。

【0021】さらに、本発明は薄膜トランジスタとしてプレーナ型、正スタガ型又は逆スタガ型のいずれを用いた液晶表示装置にも適用可能であることはもちろんである。また、本発明はノーマリーホワイティ形、ノーマリーブラック形のいずれにも適用しうるが、特にノーマリーホワイティ形の装置に対して高い効果を有するものである。

【0022】最後に、上述の実施例においては、絶縁基板に溝を設けることにより段差を形成したが、本発明はこれに限られるものではなく、図4に示すように、ガラスからなる絶縁基板6上にSiO₂による膜17を形成することにより、上述の実施例と同様の高さを有する段差を形成するようにしてよい。

【0023】

【発明の効果】以上述べたように本発明にあっては、第1の基板に形成した段差の高い部分に画素電極を形成する一方、低い部分に薄膜トランジスタ、ゲートバスライン及び信号バスラインを形成したことから、液晶分子のリバースティルトドメインの発生を防止することができ、これにより画素表示の際のコントラストを上昇して

6

表示品質を大幅に向上させることが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例の要部断面図である。

【図2】同実施例の要部平面図である。

【図3】比較例の要部断面図である。

【図4】他の実施例の要部断面図である。

【図5】従来例の要部断面図である。

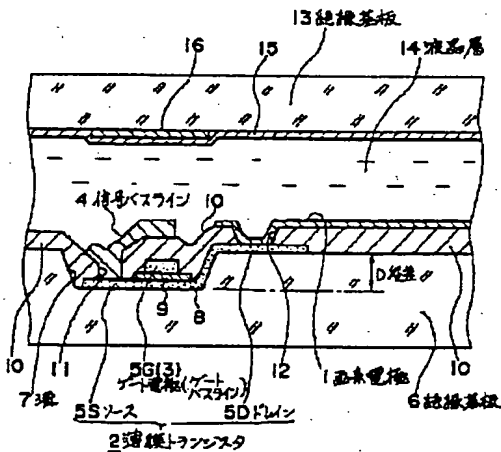
【図6】ラビング方法を示すための斜視図である。

【図7】従来例におけるリバースティルトドメインの発生状態を示す説明図である。

【符号の説明】

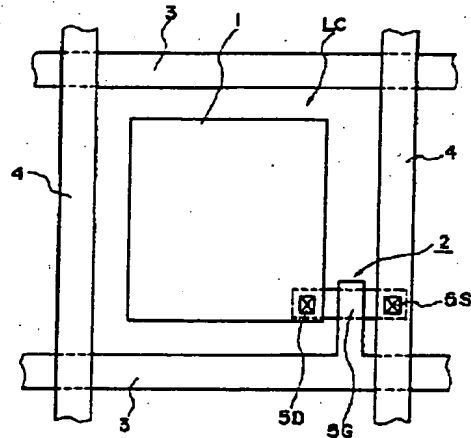
- 1 画素電極
- 2 薄膜トランジスタ
- 3 ゲートバスライン
- 4 信号バスライン
- 5D ドレイン
- 5G ゲート電極
- 5S ソース
- 6 絶縁基板
- 7 溝
- 13 絶縁基板
- 14 液晶層
- 15 絶縁層
- 16 信号バスライン
- 17 SiO₂膜
- D 段差

【図1】



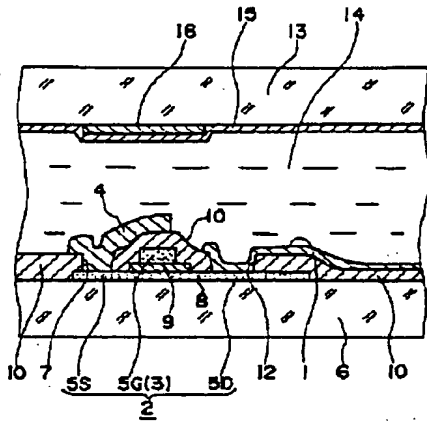
実施例の要部断面図

【図2】



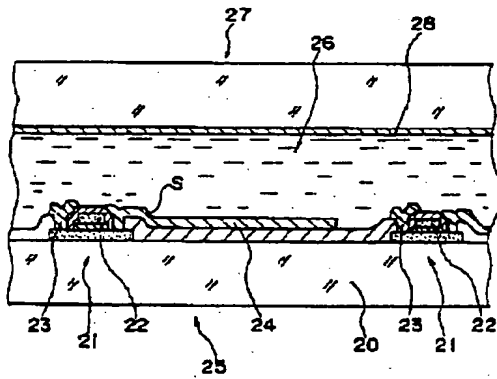
実施例の要部平面図

【図3】



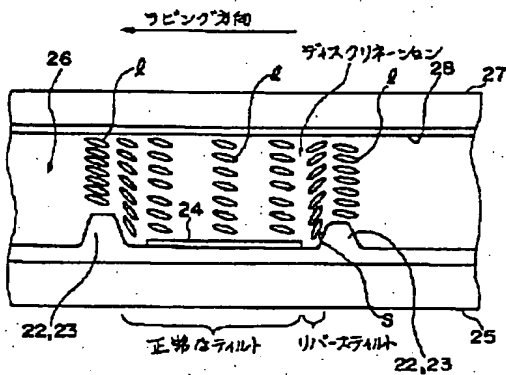
比較例の要部断面図

【図5】



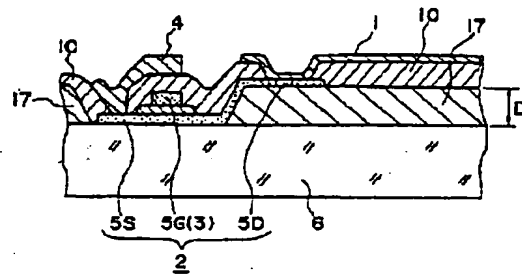
従来例の要部断面図

【図7】



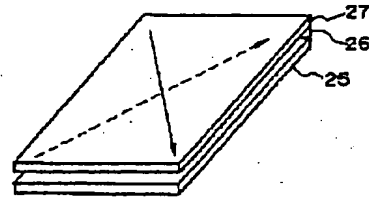
リバーステイルトの発生状態の説明図

【図4】



他の実施例の要部断面図

【図6】



ラッピング方向を示す斜視図

JP 04-305625A

[0008]

[Embodiments] In the following, an embodiment of a liquid crystal display apparatus according to the invention will be described, referring to the drawings. Fig. 1 is a sectional view showing a substantial portion of the embodiment, and Fig. 2 is a plan view of the portion.

[0009] In Fig. 2, reference numeral 1 is a transparent pixel electrode forming a pixel (a liquid crystal cell LC) and 2 is a thin film transistor of switching to activate the pixel. A gate bus line 3 of selecting a corresponding line for each pixel LC is interposed between the respective lines of the pixel electrode 1, and a signal bus line 4 of supplying an image signal is interposed between the respective lines of the pixel electrode 1. The drain 5D, the source 5S and the gate electrode 5G of the thin film transistor 2 are connected to the pixel electrode 1, the signal bus line 4 and the gate bus line 3, respectively. In this case, the gate electrode 5G and the gate bus line 3 are unified to form a common circuit element, and they are constituted by, e.g., a polycrystalline silicon layer including doped impurities.

[0010] In this embodiment, a groove 7 is formed by etching along the signal bus line 4 and the gate bus line 3 both including the thin film transistor 2 in an insulator substrate 6 made of glass or quartz, thereby causing a step D to be formed on the insulator substrate 6, as shown in Fig. 1. The polycrystalline silicon layer 8 is formed by

deposition on the lowest portion, i.e., the bottom of the groove 7. The above-mentioned gate electrode 5G (i.e., the gate bus line 3) is formed on the polycrystalline silicon layer 8 via a gate insulation layer 9. In this case, the polycrystalline silicon layer 8 extends from the bottom of the groove 7 to the highest portion, i.e., the upper surface of the insulation substrate 6 in the direction towards the above-mentioned pixel electrode 1.

[0011] Moreover, an insulator layer 10 made of, e.g., PSG (phosphor silicate glass) layer is formed in such a manner that it entirely covers the gate electrode 5G. The signal bus line 4 made of, e.g., Al is connected to the source 5S of the thin film transistor 2 via a contact hole 11 in the insulation layer.

[0012] Furthermore, a transparent conductive layer made of, e.g., ITO (indium tin oxide) is formed on the whole surface of the insulation layer 10 along with the contact hole 12. The pixel electrode 1, which is connected to the drain 5D of the thin transistor 2 via the contact hole 12, is formed by the structuring process.

[0013] Moreover, another insulation substrate 13 made of glass or the like is disposed to face the insulation substrate 6. A liquid crystal display apparatus is constituted by inserting a liquid crystal layer (for example, a twist nematic liquid crystal layer) 14 between the substrates 6 and 13. In this case, a counter electrode 15 is formed on the whole surface of the insulation layer 13, and a light intercepting layer 16 is formed on the whole surface thereof at specific portions at which conductive line portions (the portions of the gate bus line 3, the

signal bus line 4 and the like) and the portions corresponding to the thin film transistor 2 on the inner surface are arranged.

[0014] In the following, the step D formed on the above-mentioned groove 7 will be described. In this embodiment, the step D is of order of 1 μm in height and the height is approximately the same as the sum of the thickness of the gate electrode 5G (3500 Å) and the thickness of the signal line (6000 Å). In such a structural arrangement, the level of the top of the pixel electrode 1 has substantially the same level as that of the signal line 4, and the inclined surface providing a possible generation of the reverse tilt can hardly be formed, thereby enabling the area of generating the disclination to be greatly reduced. Moreover, only a very small area of disclination appears at a portion apart from the display image area, even when the disclination is generated. Accordingly, in the present embodiment, in particular in the normally white type liquid crystal display apparatus, the light leakage at the applied electric field turned "ON" can almost be suppressed, so that the quality of display can be greatly enhanced (the contrast being greater than 100).

[0015] For the sake of comparison, such a liquid crystal display apparatus as shown in Fig. 3 was produced by way of trial. The structural arrangement in this comparative example is substantially the same as that in the present embodiment except for non-provision of the above-described groove 7. The contrast obtained in this comparative example was 20 or so. This is due to the light leakage resulting from the generation of disclination. Hence, it can be recognized that the

embodiment of the present invention makes it possible to provide a significant enhancement in the quality of display.

[0016] In the above-described embodiment, the one stage step is formed by a single stage groove. However, the present invention is not restricted to this case. A step having a multi stage groove can also be used.

[0017] In the above-described embodiment, moreover, the tapered groove is formed. Such a tapered structure cannot always be employed, although it is noted that the tapered structure is effective for preventing the reverse tilt from generating.

[0018] In conjunction the above, various methods of etching, for example, plasma etching, fluoric acid etching or the like can be employed to form the steps. However, the wet etching method must be employed to form the taper in the grooves.

[0019] Moreover, in the above embodiment, a connection part between the thin film transistor and the pixel electrode is provided on the insulation substrate. The present invention is not restricted to such a structural arrangement. All of the conductor lines and the thin film transistors can be disposed on the bottom of the grooves. In this case, a portion of forming the holding capacity for the thin film transistor can be disposed either on the bottom of the groove or on the insulation substrate. When one electrode used to form the holding capacity is produced by the same material as that of the gate electrode, it is preferable that the portion of forming the holding capacity for the thin film transistor is disposed on the bottom, i.e., the lowest position of

the groove.

[0020] In the above-described embodiment, furthermore, the height of the step is set to be a value which is approximately identical with the sum of the thickness of the gate electrode and that of the signal bus line. The present invention is not restricted to the above value, but another value can be used, so long as the difference between the height of the step and the sum of the thickness of the gate electrode and that of the signal bus line is less than $0.5\text{ }\mu\text{m}$. Since the signal bus line provides a greater influence on the generation of the reverse tilt, the height of the step can be set to be approximately the same as that of the thickness of the signal bus line.

[0021] In the present invention, moreover, either planer type or normal stagger type or reverse stagger type thin film transistors can be used in the liquid crystal display apparatus. Furthermore, the present invention can be applied either to a normally white type or a normally black type display apparatus. However, a prominent effect can be obtained by the normally white type liquid crystal display apparatus.

[0022] In the above-described embodiment, the step is formed by forming the groove in the insulation substrate. The present invention is not restricted to such a structural arrangement. A step having a height similar to that in the above embodiment can also be fabricated by forming a SiO_2 layer 17 on a glass insulation substrate 6, as shown in Fig. 4.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-305625

(43) 公開日 平成4年(1992)10月28日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1333	5 0 0	7724-2K		

審査請求 未請求 請求項の数 1 (全 5 頁)

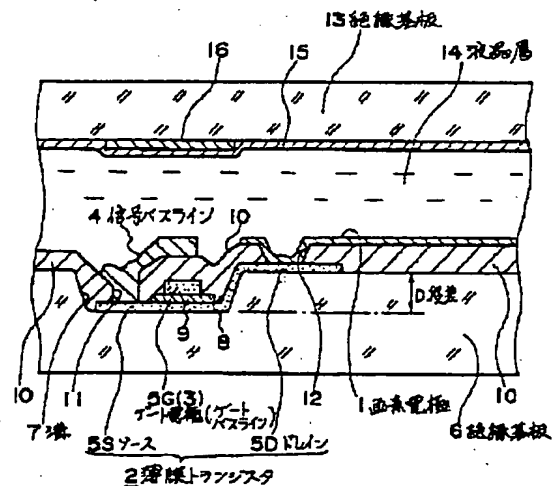
(21) 出願番号	特願平3-71098	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番 35 号
(22) 出願日	平成 3 年 (1991) 4 月 3 日	(72) 発明者	佐藤 拓生 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内
		(74) 代理人	弁理士 松隈 秀盛

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 リバースティルトドメインの発生を防止し、表示画像のコントラストを大幅に向上させる。

【構成】 絶縁基板 6 に溝 7 を設けることにより、この絶縁基板 6 に段差 D を形成する。絶縁基板 6 上に画素電極 1 を形成する。一方、溝 7 内にゲートバスライン 3、信号バスライン 4 及び薄膜トランジスタ 2 を形成する。



実施例の要部断面図

【特許請求の範囲】

【請求項1】 第1の基板と、この第1の基板に対向して配された第2の基板と、これら第1及び第2の基板間に保持された液晶とを有し、この第1の基板に、薄膜トランジスタと、この薄膜トランジスタのドレインに接続された画素電極と、上記薄膜トランジスタのゲートに接続されたゲートバスラインと、上記薄膜トランジスタのソースに接続された信号バスラインとを形成した液晶表示装置において、上記第1の基板に段差を形成し、この段差の高い部分に上記画素電極を形成する一方、低い部分に上記薄膜トランジスタ、ゲートバスライン及び信号バスラインを形成したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、それぞれスイッチングトランジスタを有する複数の画素がマトリックス配列されたアクティブマトリックス型の液晶表示装置に関する。

【0002】

【従来の技術】 従来、この種の液晶表示装置としては、例えば、図5に示すようなものが知られている。かかる従来の装置においては、ガラス基板20上に、液晶セルを駆動するための薄膜トランジスタ(TFT)21と、この薄膜トランジスタ21に選択信号及び画像信号を供給するための直交するゲートバスライン22及び信号バスライン23と、画素電極24等が形成された基板、いわゆるTFT基板25と、このTFT基板25に対向配置され、TFT基板25との間に液晶層(例えばツイストネマチック液晶層)26を保持する対向基板27とにより構成されている。尚、対向基板27には対向電極28が形成されている。これらのゲートバスライン22、信号バスライン23及び薄膜トランジスタ21の各部は、その頂面が表示電極24の上面より1～1.5μm程度高い位置にあり、画素電極24との間に斜面Sが形成されている。この構成は正スタガ型、逆スタガ型ともに同様である。そして、これらのゲートバスライン22、信号バスライン23及び薄膜トランジスタ21の上には、図示はしないが液晶分子の配向方向を規定するために配向膜が塗布され、さらに対向基板側にも配向膜が塗布されている。上述のTFT基板25及び対向基板26の配向膜には、図6に示すように、それぞれの配向方向が垂直に交わるようにラビングがなされる。これにより、液晶分子はラビング方向前方に向かってわずかにティルトし、即ちラビング方向前方を上を向くような状態になり(ブレティルト)、それぞれの基板のラビング方向に沿って配向される。そして、液晶層26に電界を印加すると、ブレティルト状態の液晶分子は、上を向いた部分がさらに立ち上がり、光が通過するようになる。液晶表示装置は、このような原理を利用し、液晶に印加する電界を制御することにより画像の表示を行うものである。

【0003】

【発明が解決しようとする課題】 しかしながら、かかる従来の場合、画素電極24と信号バスライン23等間の斜面Sの存在によりその部分近傍のコントラストが悪くなるという問題があった。すなわち、従来の装置において液晶層26に電界を印加した場合には、図7に示すように液晶分子1がティルト状態になるが、ラビング方向後方の斜面S近傍においては、液晶分子1が正常な方向と逆方向にティルトし(リバースティルト)、この部分にディスクリネーションが発生する。かかるディスクリネーション領域は、電界ON時も光を透過させてしまうため、特にノーマリーホワイト形の装置にあってはコントラストが低下し、表示品質が悪化するという問題があった。

【0004】 この問題を解決するため、例えば特願昭63-70230号公報に示されるように、画素電極下部にゲート絶縁膜と層間絶縁膜を堆積する方法も案出されているが、これではゲートバスライン及び信号バスラインの厚み分の高低差は軽減されず、リバースティルトドメインの発生を防止するには不十分であった。また、例えば特願平2-134620号公報に示されるように、ゲートバスライン及び信号バスライン側面を階段状若しくはテーパ状に形成する方法も案出されているが、この方法でもゲートバスライン及び信号バスラインの厚み分の高低差は大きく改善されず、リバースティルトドメインの発生を十分に防止することは困難であった。

【0005】 本発明は従来のかかる点に鑑みてなされたもので、その目的とするところは、リバースティルトドメインの発生を防止し、表示画像のコントラストを大幅に向上しうる液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明は、例えば図1に示すように、第1の基板6と、この第1の基板6に対して配された第2の基板13と、これら第1及び第2の基板6、13間に保持された液晶14とを有し、この第1の基板6に、薄膜トランジスタ2と、この薄膜トランジスタ2のドレイン5Dに接続された画素電極1と、この薄膜トランジスタ2のゲート5Gに接続されたゲートバスライン3と、この薄膜トランジスタ2のソース5Sに接続された信号バスライン4とを形成した液晶表示装置において、第1の基板6に段差Dを形成し、この段差Dの高い部分に上記画素電極1を形成する一方、低い部分に上記薄膜トランジスタ2、ゲートバスライン3及び信号バスライン4を形成したものである。

【0007】

【作用】 かかる構成を有する本発明にあっては、第1の基板6の高い部分に画素電極1を形成する一方、低い部分に薄膜トランジスタ2、ゲートバスライン3及び信号バスライン4を形成したので、画素電極1と信号バスライン4等が形成された部分との高さをほぼ等しくするこ

とができる。従って、画素電極1と信号バスライン4等が形成された部分との間において斜面は形成されず、液晶分子のリバースティルトが防止されるので、光の漏れの原因となるディスクリネーション領域を大幅に減少することができる。

【0008】

【実施例】以下、本発明に係る液晶表示装置の実施例について図面を参照して説明する。図1は本実施例の要部を示す断面図、図2は平面図である。

【0009】図2において、1は画素（液晶セルLC）を構成する透明な画素電極、2は画素を駆動するためのスイッチング用の薄膜トランジスタを示す。画素電極1の各行間には、各画素LCの行を選択するゲートバスライン3が配置され、画素電極1の各行間には、画像信号を供給するための信号バスライン4が配置される。そして、薄膜トランジスタ2のドレイン5Dが画素電極1に接続される一方、ソース5Sが信号バスライン4に接続され、さらにゲート電極5Gがゲートバスライン3に接続される。尚、ゲート電極5G及びゲートバスライン3は共通に形成され、例えば不純物をドーピングした多結晶シリコン膜からなる。

【0010】図1に示すように、本実施例にあつては、ガラス又は石英ガラスからなる絶縁基板6上に、薄膜トランジスタ2を含む信号バスライン4及びゲートバスライン3に沿ってエッチングにより溝7が設けられ、これにより、絶縁基板6には段差Dが形成されている。下段部である溝7の底部には多結晶シリコン膜8が被着形成され、この多結晶シリコン膜8上に、ゲート絶縁膜9を介して上述のゲート電極5G（即ちゲートバスライン3）が形成される。尚、多結晶シリコン膜8は、溝7の底部から上段部である絶縁基板6の表面にかけて上述の画素電極1に向って延びている。

【0011】さらに、ゲート電極5Gを覆うように全面に例えばPSG（リンシリケートガラス）膜からなる絶縁膜10が形成され、この絶縁膜10のコンタクトホール11を介して例えばA1からなる信号バスライン4が薄膜トランジスタ2のソース5Sに接続される。

【0012】また、絶縁膜10に形成したコンタクトホール12を含んで全面に例えばITO（酸化インジウム錫）膜による透明導電膜が形成され、パターニングによりコンタクトホール12を介して薄膜トランジスタ2のドレイン5Dに接続する画素電極1が形成される。

【0013】さらに、ガラス等からなるもう一方の絶縁基板13が絶縁基板6に対向して配置され、これら両基板6、13間に液晶層（例えばツイストネマティック液晶層）14が封入されて液晶表示装置が構成される。尚、絶縁基板13の全面には対向電極15が形成され、その内面の配線部分（ゲートバスライン3、信号バスライン4等が存在する部分）及び薄膜トランジスタ2に対応する部分に光遮蔽層16が形成されている。

【0014】次に上述の溝7によって形成される段差Dについて説明する。本実施例においては、この段差Dは1 μ mの大きさを有する。これは、ゲート電極5Gの厚み（3500Å）と信号線の厚み（6000Å）の合計にほぼ等しい。すなわち、このような構成により、画素電極1と信号線4の上部との高さがほぼ等しくなり、リバースティルトを引き起こす斜面がほとんど形成されないで、ディスクリネーションの発生領域が大幅に減少するようになる。また、ディスクリネーションが発生しても表示画像領域からはずれた場所に小さく出現するだけとなる。従って、本実施例によれば、特にノーマリーホワイト形の液晶表示装置において、電界ON時の光の漏れをほとんどなくすることができ、この結果、表示品質を大幅に向上（コントラスト10.0以上）させることが可能になる。

【0015】一方、比較例として、図3に示すような液晶表示装置を作製した。この比較例は、上述の溝7が設けられていないこと以外は本実施例と同様の構成を有している。そして、この比較例においてコントラストを測定したところ、ディスクリネーションが生じて光が漏れるため、コントラストは2.0程度であった。このことから、本実施例によれば、表示品質が飛躍的に向上することが理解される。

【0016】尚、上述の実施例にあつては、1段の溝を設けることにより段差を形成したが、本発明はこれに限られることはなく、多段階的に溝を設けることにより段差を形成する構成としてもよい。

【0017】また、本実施例においては溝にテーパーを設けているが、必ずしもテーパーを設けなくともよい。ただし、テーパーを設けた方がリバースティルト発生防止には効果的である。

【0018】さらに、段差を形成するためのエッチング方法については、例えばプラズマエッチング、フッ酸エッチングなどの種々のエッチング方法を採用することができる。ただし、溝にテーパーを設けるためにはウェットエッチングを採用する必要がある。

【0019】さらにまた、本実施例においては薄膜トランジスタと画素電極との接続部を絶縁基板上に設けるようにしたが、本発明はこれに限られることはなく、全てのライン部及び薄膜トランジスタを溝の底部に配置するようにしてもよい。この場合、薄膜トランジスタの保持容量形成部は、溝の底部又は絶縁基板上のいずれに配置してもよいが、保持容量形成のための一方の電極がゲート電極と同じ材料で構成されている場合には、溝の底部即ち下段部に設けることが望ましい。

【0020】加えて、上述の実施例においては、段差の大きさを、ゲート電極及び信号バスラインの厚みの合計とほぼ等しい値に設定したが、本発明はこれに限られるものではなく、段差の大きさと、ゲート電極及び信号バスラインの厚みの合計との差が0.5 μ m以下であれば